

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 09045633
 PUBLICATION DATE : 14-02-97

APPLICATION DATE : 26-07-95
 APPLICATION NUMBER : 07190034

APPLICANT : OKI ELECTRIC IND CO LTD;

INVENTOR : MIYAGAWA YASUHARU;

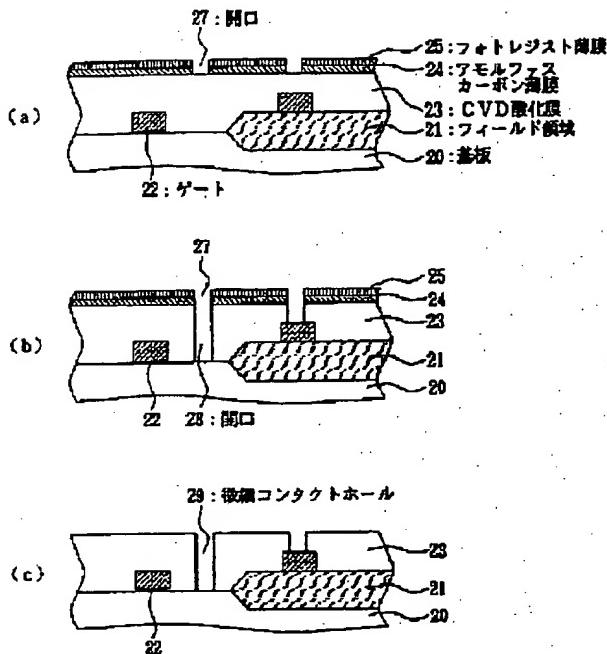
INT.CL. : H01L 21/28 H01L 21/3065 H01L 21/768
 H01L 21/8234 H01L 27/06

TITLE : METHOD FOR FORMING FINE HOLE
 OF SEMICONDUCTOR INTEGRATED
 CIRCUIT DEVICE

ABSTRACT : PROBLEM TO BE SOLVED: To easily and accurately form a fine hole with a high aspect ratio.

SOLUTION: A method for forming the fine hole of a semiconductor integrated circuit device consists of a process for forming amorphous carbon thin film 24 on CVD oxide film 23 as a lower-layer insulation film, a process for forming a photoresist thin film 25 on the amorphous carbon thin film 24, and a process for opening a contact hole 29 by performing the patterning of photolithography, etching the amorphous carbon thin film 24 with the photoresist thin film 25 as a mask, and etching the CVD oxide film 23 with the patterned amorphous carbon thin film 24 and the photoresist thin film 25 as a mask.

COPYRIGHT: (C)1997,JPO



THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-45633

(43)公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I.	技術表示箇所
H 01 L 21/28			H 01 L 21/28	L
21/3065			21/302	M
21/768			21/90	C
21/8234			27/06	102E

審査請求 未請求 請求項の数 5 OL (全 9 頁) 最終頁に続く

(21)出願番号 特願平7-190034

(22)出願日 平成7年(1995)7月26日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 金森 順

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 宮川 康陽

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

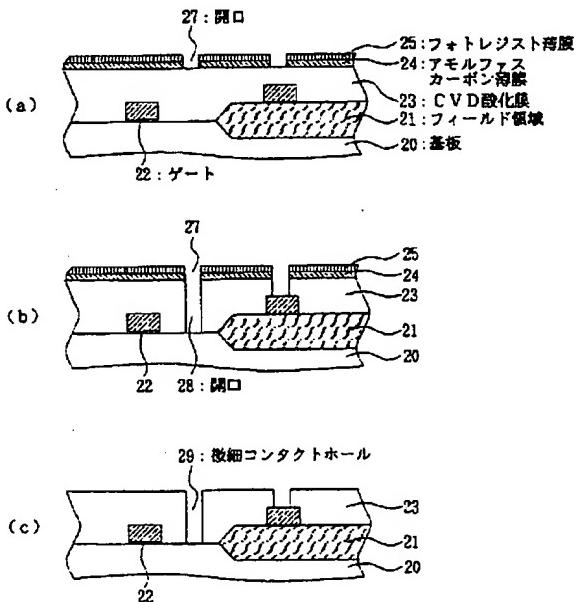
(74)代理人 弁理士 清水 守 (外1名)

(54)【発明の名称】 半導体集積回路装置の微細ホールの形成方法

(57)【要約】

【目的】 高いアスペクト比の微細ホールを容易に、かつ的確に形成することができる半導体集積回路装置における微細ホールの形成方法を提供する。

【構成】 下層絶縁膜としてのCVD酸化膜23の上にアモルファスカーボン薄膜24を形成する工程と、このアモルファスカーボン薄膜24上にフォトレジスト薄膜25を形成する工程と、フォトリソのバターニングを行い、前記フォトレジスト薄膜25をマスクに前記アモルファスカーボン薄膜24をエッチングし、そのバターニングされたアモルファスカーボン薄膜24とフォトレジスト薄膜25をマスクとして前記CVD酸化膜23をエッチングしてコンタクトホール29を開口する工程とを施す。



【特許請求の範囲】

【請求項1】(a) 下層絶縁膜の上にアモルファスカーボン薄膜を形成する工程と、(b) 該アモルファスカーボン薄膜上にフォトレジスト薄膜を形成する工程と、(c) フォトリソのパターニングを行い、前記フォトレジスト薄膜をマスクに前記アモルファスカーボン薄膜をエッチングし、そのパターニングされたアモルファスカーボン薄膜とフォトレジスト薄膜をマスクとして前記下層絶縁膜をエッチングしてホールを開口する工程とを施すことを特徴とする半導体集積回路装置の微細ホールの形成方法。

【請求項2】請求項1記載の半導体集積回路装置の微細ホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングとを同一装置で連続して処理することを特徴とする半導体集積回路装置の微細ホールの形成方法。

【請求項3】請求項1記載の半導体集積回路装置の微細ホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングとを同一チャンバー、同一条件でエッチング処理することを特徴とする半導体集積回路装置の微細ホールの形成方法。

【請求項4】請求項1記載の半導体集積回路装置の微細ホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングとを同一チャンバー、同一条件で処理するのに、前記アモルファスカーボン薄膜がフォトレジストマスクの外側に順テープ状にエッチングされるような処理条件でエッチング処理することを特徴とする半導体集積回路装置の微細ホールの形成方法。

【請求項5】(a) 下層絶縁膜の上にアモルファスカーボン薄膜を形成する工程と、(b) 該アモルファスカーボン薄膜上にフォトレジスト薄膜を形成する工程と、

(c) フォトリソのパターニングを行い、前記フォトレジスト薄膜をマスクとして前記アモルファスカーボン薄膜をエッチングする工程と、(d) 前記フォトレジスト薄膜をエッチングし、パターニングされたアモルファスカーボン薄膜のみをマスクとして前記下層絶縁膜をエッチングしてホールを開口する工程とを施すことを特徴とする半導体集積回路装置の微細ホールの形成方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置における微細ホールの形成方法に係り、特に微細なコンタクトホールの形成方法に関するものである。

【0002】

【従来の技術】従来、このような分野の技術としては、以下に示すようなものがあった。図3は従来の半導体集積回路装置におけるコンタクトホールの形成工程断面図である。

(a) まず、図3(a)に示すように、アクティブ領域

や、フィールド領域(フィールド領域酸化膜)11、ゲート12等のパターンが形成されている半導体基板10上に絶縁膜としてのCVD酸化膜(BPSG-ボロン・ fosfオ・シリケート・ガラス等)13を3000Å～8000Å生成させる。

【0003】(b) 次に、図3(b)に示すように、フォトリソ工程に入り、フォトレジスト14を9000Å～12000Å塗布する。

(c) 次いで、図3(c)に示すように、これを露光機(ステッパー)でフォトマスクを用いて必要な露光を行い、現像処理し、フォトレジスト14の不要な部分を除去し、開口15を形成する。

【0004】(d) 次に、図3(d)に示すように、エッチング工程に入り、ドライエッチング装置でガスプラズマを用いてエッチング処理し、ホール16Aを形成した後、フォトリソにて形成されたレジストパターンをマスクとしてCVD酸化膜13をエッチング除去する。

(e) 更に、図3(e)に示すように、不要となったレジストマスクをアッシング及び洗浄(例えば硫酸+過酸化水素の混合液による100℃～120℃での洗浄)除去することにより、コンタクトホール16Bを形成する。

【0005】

【発明が解決しようとする課題】しかしながら、近年の半導体集積回路の集積度の向上により、コンタクトホールのパターンアスペクト比(パターン幅に対する高さの比率)は急速に増大している。特にコンタクトホールではそのパターン特性により、その傾向が著しく、64MbDRAMクラスではアスペクト比は4～5、また、256MbDRAMクラスでは7～10にまでなるとされている(上記従来技術の説明ではゲート上CVD膜厚のみについて記してあるが、実際の工程においては何層にもCVD酸化膜が生成され、厚い領域においては約2μmにも及ぶ膜厚になる)。エッチング処理時には、これにレジスト膜厚分が加算されるため、64MbDRAMクラスで6～8、256MbDRAMクラスでは12～15にもなる。

【0006】このようにコンタクトホールのパターンのアスペクト比が高くなると、エッチング処理が非常に難しくなり、処理の不具合が発生する確率が高くなる。これはガスプラズマ中のエッチングに必要なイオンやラジカルが、ホールのボトムに到達し難くなるためといわれている。この問題を解決するために、エッチング処理の高真空化等の工夫がなされているが、まだ良好な解決手段が見出されているとは言えない。

【0007】本発明は、上記問題点を除去し、高いアスペクト比の微細ホールを容易に、かつ的確に形成することができる半導体集積回路装置における微細ホールの形成方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明は、上記目的を達成するために、

(1) 半導体集積回路装置の微細ホールの形成方法において、下層絶縁膜の上にアモルファスカーボン薄膜を形成する工程と、このアモルファスカーボン薄膜上にフォトレジスト薄膜を形成する工程と、フォトリソのパターニングを行い、前記フォトレジスト薄膜をマスクに前記アモルファスカーボン薄膜をエッチングし、そのパターニングされたアモルファスカーボン薄膜とフォトレジスト薄膜をマスクとして前記下層絶縁膜をエッチングしてホールを開口する工程とを施すようにしたものである。

【0009】(2) 上記(1)記載の半導体集積回路装置の微細ホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングとを同一装置で連続して処理するようにしたものである。

(3) 上記(1)記載の半導体集積回路装置の微細コンタクトホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングを同一チャンバー、同一条件でエッチング処理するようにしたものである。

【0010】(4) 上記(1)記載の半導体集積回路装置の微細コンタクトホールの形成方法において、前記アモルファスカーボン薄膜のエッチングと前記下層絶縁膜のエッチングを同一チャンバー、同一条件で処理するのに、前記アモルファスカーボン薄膜がフォトレジストマスクの外側に順テープ状にエッチングされるような処理条件でエッチング処理するようにしたものである。

【0011】(5) 半導体集積回路装置の微細ホールの形成方法において、下層絶縁膜の上にアモルファスカーボン薄膜を形成する工程と、このアモルファスカーボン薄膜上にフォトレジスト薄膜を形成する工程と、フォトリソのパターニングを行い、前記フォトレジスト薄膜をマスクとして前記アモルファスカーボン薄膜をエッチングする工程と、前記フォトレジスト薄膜を洗浄除去し、パターニングされたアモルファスカーボン薄膜のみをマスクとして前記下層絶縁膜をエッチングしてホールを開口する工程とを施すようにしたものである。

【0012】

【作用】

(1) 請求項1記載の半導体集積回路装置における微細ホールの形成方法によれば、下層絶縁膜(CVD酸化膜)(23)上にアモルファスカーボン薄膜(24)を形成し、その上に従来に比較して大幅に薄膜化したフォトレジスト薄膜(25)を形成した。

【0013】従来フォトレジストはCVD酸化膜をエッチングするためのマスクとして、ある程度の厚さが必要であったが、本発明ではフォトレジスト薄膜(25)マスクはアモルファスカーボン薄膜(24)のエッチングに耐え得る膜厚があればよく、薄膜化を図ることができ

る。それは、アモルファスカーボン薄膜(24)の耐エッチング性がレジストより数倍大きく、CVD酸化膜(23)のエッチング時はそのアモルファスカーボン薄膜(24)がエッチングマスクとして大きな効果があるため、レジストの膜厚は薄くですむ。

【0014】このように、レジストの薄膜化を可能としたことで、エッチングアスペクト比が低下することになり、CVD酸化膜のエッチングが容易になり、エッチングマージンの拡大を図ることができる。更に、レジストを薄膜化することで、フォトパターンの解像力を向上することが可能となり、微細パターン形成のためのフォトリソマージンを拡大することができる。

【0015】また、アモルファスカーボン薄膜は表面反射率が低いため、これによってもフォトリソマージンを拡大することができる。

(2) 請求の範囲第2項記載の半導体集積回路装置における微細ホールの形成方法によれば、アモルファスカーボン薄膜(24)と下層絶縁膜(CVD酸化膜)(23)のエッチングを同一装置で連続処理を行っており、移載にかかる処理時間の短縮を図ることができる。

【0016】(3) 請求の範囲第3項記載の半導体集積回路装置における微細ホールの形成方法によれば、アモルファスカーボン薄膜(24)と下層絶縁膜(CVD酸化膜)(23)のエッチングを同一チャンバー、同一条件で処理を行うため、コンタクトパターンのようなエッチングパターンレシオが小さい場合のアモルファスカーボン薄膜(24)のエッチング終点を検出する困難な作業(エッチング面積が小さいとエッチング終点時の信号変化量が小さくなり終点検出が困難となり、より高精度な検出装置が必要となる)を回避することができる。

【0017】また、同一チャンバー、同一条件で処理することにより、処理条件の変更の時間(通常、処理条件を変更する場合は最初の処理後バックグランド圧力迄真空引きし、その後、次の処理のためのガス条件にするまでに時間がかかる)が省略可能となり、処理時より一層の時間短縮を図ることができる。

(4) 請求の範囲第4項記載の半導体集積回路装置における微細ホールの形成方法によれば、アモルファスカーボン薄膜(33)をフォトレジスト薄膜(34)マスクに対し、マスクの外側に順テープ状(33A)にエッチングし、そのアモルファスカーボン薄膜(33)マスク端から異方的に下層絶縁膜(CVD酸化膜)(31)をエッチングするため、形成されるコンタクトホールパターンをレジストマスク寸法より小さくすることが可能となり、より微細なコンタクトホールパターンを形成することができる。

【0018】これにより、フォトリソ工程での合わせ余裕の拡大ができ、ゲートパターンとのショート等の不良が低減され、歩留まりの向上を図ることができる。

〔5〕請求の範囲第5項記載の半導体集積回路装置における微細ホールの形成方法によれば、下層絶縁膜(CVD酸化膜)(43)のエッチングの際にアモルファスカーボン薄膜(44)のみをマスクとすることができ、従来より大幅にアスペクト比が低減し、エッチング処理のプロセスマージンを大幅に拡大することができる。例えば、従来エッチング時のCVD酸化膜15000Å(前述したように実施例で示してあるフォトリソ工程直前に形成する膜厚は3000Å～8000Åであるが、それ以前の工程で形成されるCVD酸化膜も含めてエッチング除去する必要がある工程があり、エッチング酸化膜厚は通常直前に形成される酸化膜厚よりも厚くなる)として、フォトレジスト薄膜が10000Åであったとして0.3μmのホールを形成する場合にはアスペクト比は8.3であったが、本発明に従いアモルファスカーボン薄膜を1000Åとしてエッチング処理を行えば、アスペクト比は5.3にまで低減できる。

【0019】上記(1)の記載の場合と同様に、この場合もフォトレジスト薄膜の膜厚を低減してフォトパターニングをすることが可能であり、そのため、フォトリソマージンを拡大することができる。

【0020】

【実施例】以下、本発明の実施例について図面を参考しながら詳細に説明する。図1は本発明の第1実施例を示す微細コンタクトホールの形成工程断面図(その1)、図2はその微細コンタクトホールの形成工程断面図(その2)である。

(a)まず、図1(a)に示すように、アクティブ領域やフィールド領域(フィールド酸化膜)21、ゲート22が形成された基板20上に、CVD酸化膜23を300Å～8000Å生成する。

【0021】(b)次に、図1(b)に示すように、そのCVD酸化膜23上にアモルファスカーボン薄膜24を100Å～800Å形成する。このアモルファスカーボン薄膜24はスパッタ法或いはCVD法のどちらを用いてもよい。

(c)次に、図1(c)に示すように、フォトリソ工程に入り、パターニングのためのフォトレジスト薄膜25を、3000Å～6000Åの膜厚でアモルファスカーボン薄膜24上に塗布する。ここでフォトレジスト薄膜25の厚さを出来るだけ薄くすることが重要である。

【0022】(d)次に、図1(d)に示すように、露光機(ステッパー)でフォトマスクを用いて必要な露光を行い、現像処理してフォトレジスト薄膜25の不要な部分を除去し、開口26を形成する。

(e)次に、図2(a)に示すように、前記フォトレジストパターンをマスクとして、アモルファスカーボン薄膜24をプラズマドライエッチング装置でエッチング処理し、不要な部分を除去して開口27を形成する。

【0023】(f)次に、図2(b)に示すように、C

V D酸化膜23のエッチングを、やはりプラズマドライエッチング装置を用いてエッチング処理し、不要な部分を除去して開口28を形成する。

(g)次に、図2(c)に示すように、不要となったフォトレジスト薄膜(マスク)及び、アモルファスカーボン薄膜24をアッシング・洗浄除去することにより、微細コンタクトホール29が形成される。アモルファスカーボン薄膜24は従来のアッシング及び洗浄でレジストと同時に除去することが可能である。

【0024】このように構成したので、第1実施例によれば、CVD酸化膜23上にアモルファスカーボン薄膜24を形成し、フォトレジスト膜厚を従来に比較して大幅に薄膜化した。これは、従来フォトレジストはCVD酸化膜をエッチングするためのマスクとして、ある程度の厚さが必要であったが、本発明ではレジストマスクはアモルファスカーボン薄膜24のエッチングに耐え得る膜厚があればよい。それはアモルファスカーボン薄膜24の耐エッチング性がレジストより数倍大きく、CVD酸化膜23のエッチング時はそのアモルファスカーボン薄膜24がエッチングマスクとして大きな効果があるため、レジストの膜厚は薄くてよい。

【0025】このようにレジストの薄膜化を可能としたことで、エッチングアスペクト比が低下することになり、CVD酸化膜のエッチングが容易になり、エッチングマージンの拡大が期待される。更に、レジストを薄膜化することでフォトパターンの解像力を向上することが可能となり、微細パターン形成のためのフォトリソマージンを拡大することが期待される。

【0026】また、アモルファスカーボン薄膜は表面反射率が低いため、これによってもフォトリソマージンを拡大することが期待される。次に、上記第1実施例において、次のような工程の変更を行うことができる。

〔1〕第2実施例

上記した図2(a)及び図2(b)でアモルファスカーボン薄膜24のエッチングとCVD酸化膜23のエッチングを分けて行っていたが、これを同一のドライエッチングチャンバーにより連続一括して処理を行う。例えば、ECR(電子サイクロotron共鳴)エッチング装置により、まず、SF₆ガスとHeガス1:9の混合ガスを用いて、圧力5m torr、マイクロ波パワー300mA、バイアスパワー50Wでアモルファスカーボン薄膜24をエッチング処理し、連続してCVD酸化膜23のエッチングに移る(処理ステップの切替えは、発光分光分析を応用したエッチング終点検出器によりモニターしながら行う)。

【0027】また、CVD酸化膜23のエッチングは、CHF₃ガスとCH₂F₂ガスを4:1で混合したガスを用いて、圧力4m torr、マイクロ波パワー400mA、バイアスパワー250Wでエッチング処理する。このように、アモルファスカーボン薄膜24のエッキン

グをCVD酸化膜23と同一のエッティングチャンバーで処理をしても、反応生成物(CFx種と推定される)は蒸気圧が高いため、チャンバーを汚染する心配はない。

【0028】このように構成したので、第2実施例によれば、アモルファスカーボン薄膜とCVD酸化膜のエッティングを、同一装置で連続して行うため、移載にかかる処理時間の短縮を図ることができる。

[2] 第3実施例

更に、上記[1]ではアモルファスカーボン薄膜24のエッティングと、CVD酸化膜23のエッティングを同一のドライエッティング装置により、連続一括して処理を行う際に、アモルファスカーボン薄膜24のエッティング条件と、CVD酸化膜23のエッティング条件を変えるようになっていたが、本実施例においては、以下のように、同一条件で処理を行う。

【0029】例えば、ECRエッティング装置により、HeガスとCHF₃ガスの20:3の混合ガスを用いて、圧力10m torr、マイクロ波パワー150mA、バイアスパワー130Wの条件で異方的にドライエッティング処理する。また、アモルファスカーボン薄膜24とCVD酸化膜23のエッティングを、同一のエッティングチャンバーで処理しても、反応生成物の蒸気圧が高いためにチャンバーを汚染する心配はない。

【0030】更に、同一のエッティング条件でアモルファスカーボン薄膜24とCVD酸化膜23をエッティングするので、パターンレシオ(エッティングするパターンの面積比率)が小さいコンタクトパターンでも、カーボンのエッティング終点を検出する必要が無い。このように構成したので、第3実施例によれば、アモルファスカーボン薄膜とCVD酸化膜のエッティングを同一チャンバー、同一条件で行うため、コンタクトパターンのようなエッティングパターンレシオが小さい場合のアモルファスカーボン薄膜のエッティング終点を検出する困難な作業(エッティング面積が小さくエッティング終点時の信号変化量が小さくなり終点検出が困難となり、より高精度な検出装置が必要となる)を回避することが可能となり、加工精度の向上を図ることができる。

【0031】次に、本発明の第4実施例について説明する。図4は本発明の第4実施例を示す微細コンタクトホールの形成後の概略断面図である。この図において、30は下地Si基板のアクティブ領域、31はエッティングされるCVD酸化膜、32はゲート、33はアモルファスカーボン薄膜、34はフォトレジスト薄膜を示している。

【0032】上記第3実施例では、アモルファスカーボン薄膜とCVD酸化膜を同一条件で異方的にエッティング処理していたが、同一条件でアモルファスカーボン薄膜33を順テープ状に、CVD酸化膜31を異方的にエッティング処理する。例えば、ECRエッティング装置により、HeガスとCHF₃ガスとCH₂F₂ガスの20:

2:1の混合ガスを用いて、圧力10m torr、マイクロ波パワー150mA、バイアスパワー130Wの条件で、アモルファスカーボン薄膜33とCVD酸化膜31をエッティング処理すると、アモルファスカーボン薄膜33がレジストマスクに対してマスクの外側に順テープ状33Åにエッティングされ、CVD酸化膜31はそのアモルファスカーボン薄膜33マスク端から異方的にエッティングされる。

【0033】アモルファスカーボン薄膜33とCVD酸化膜31を同一チャンバー、同一条件でエッティング処理しても問題ないことは前記の実施例で既に述べた。上記したように、第4実施例によれば、アモルファスカーボン薄膜をレジストマスクに対し、マスクの外側に順テープ状にエッティングし、そのアモルファスカーボン薄膜マスク端から異方的に下層絶縁膜(CVD酸化膜)をエッティングするため、形成されるコンタクトホールパターンがレジストマスク寸法より小さくすることが可能となり、より微細なコンタクトホールパターンを形成することができる。

【0034】これにより、フォトリソ工程での合わせ余裕の拡大ができ、ゲートパターンとのショート等の不良が低減され、歩留まりの向上を図ることができる。次に、本発明の第5実施例について説明する。図5は本発明の第5実施例を示す微細コンタクトホールの形成工程断面図(その1)、図6はその微細コンタクトホールの形成工程断面図(その2)である。

【0035】(a)まず、図5(a)に示すように、アクティブ領域や、フィールド領域(フィールド酸化膜)41、ゲート42等が形成された基板40上に、CVD酸化膜43を3000Å~8000Å形成する。

(b)次に、図5(b)に示すように、アモルファスカーボン薄膜44を400Å~1000Åスパッタ或いはCVD法にて形成する。

【0036】(c)次に、図5(c)に示すように、フォトレジスト薄膜45を4000Å~10000Åコートイング塗布する。

(d)次に、図5(d)に示すように、露光機(ステップ)でフォトマスクを用いて必要なパターニングを行い、現像処理で不要な部分を除去して開口46を形成する。

【0037】(e)次に、図6(a)に示すように、そのフォトレジスト薄膜45をマスクとして、アモルファスカーボン薄膜44のエッティング処理を行い、不要な部分を除去して開口47を形成する。

(f)次に、図6(b)に示すように、フォトレジスト薄膜45マスクを洗浄除去する。この際アッシング処理を行うと、必要なアモルファスカーボンまで除去されてしまう恐れがあるため、アッシングは使わずに洗浄(例えば硫酸+過酸化水素の混合液による100°C~120°Cでの洗浄)のみで行う。

【0038】(g) 次に、図6(c)に示すように、残ったアモルファスカーボン薄膜44をマスクとしてCVD酸化膜43を、例えばECRエッティング装置により、HeガスとCH₂F₂ガス20:3の混合ガスを用いて、圧力10m torr、マイクロ波パワー150m A、バイアスパワー130Wの条件でプラズマドライエッティングを行い、不要な部分を除去して開口48を形成する。

【0039】(h) 最後に、図6(d)に示すように、不要となったアモルファスカーボン薄膜44をアッショング洗浄により除去すれば、微細コンタクトホール49が形成される。このアモルファスカーボン薄膜44の除去は、場合によってはアッシング処理のみでも可能である。上記したように、第5実施例によれば、CVD酸化膜43のエッティングの際にアモルファスカーボン薄膜44のみをマスクとことができ、従来より大幅にアスペクト比が低減し、エッティング処理のプロセスマージンが大幅に拡大する。例えば、従来エッティング時のCVD酸化膜15000Å(前述したように実施例で示してあるフォトリソ工程直前に形成する膜厚は、3000Å～8000Åであるが、それ以前の工程で形成されるCVD酸化膜も含めてエッティングする工程が必要であり、エッティング酸化膜厚は通常直前に形成される酸化膜厚よりも厚くなる)として、フォトレジスト薄膜が10000Åであったとして0.3μmのホールを形成する場合はアスペクト比は8.3であったが、本発明に従いアモルファスカーボン薄膜を1000Åとしてエッティング処理を行えば、アスペクト比は5.3にまで低減できる。

【0040】上記第1実施例と同様に、この場合もフォトレジスト膜厚を低減してフォトバーニングを行うことが可能であり、そのため、フォトリソマージンの拡大が期待できる。これまでの実施例ではアクティブ領域やゲートへのメタル配線接続のためのいわゆるコンタクトホール形成の場合について述べてきたが、本発明は、メタル配線とメタル配線を接続するためのいわゆるスルーホールの形成にも応用可能である。

【0041】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から除外するものではない。

【0042】

【発明の効果】以上、詳細に説明したように、本発明によれば、以下のような効果を奏すことができる。

(1) 請求の範囲第1項記載の発明によれば、下層絶縁膜(CVD酸化膜)上にアモルファスカーボン薄膜を形成し、その上に従来に比較して大幅に薄膜化したフォトレジスト薄膜を形成した。従来フォトレジストはCVD酸化膜をエッティングするためのマスクとして、ある程度の厚さが必要であったが、本発明ではレジストマスクはアモルファスカーボン薄膜のエッティングに耐え得る膜厚

があればよく、薄膜化を図ることができる。

【0043】このように、レジストの薄膜化を可能としたことで、エッティングアスペクト比が低下することになり、CVD酸化膜のエッティングが容易になり、エッティングマージンの拡大を図ることができる。更に、レジストを薄膜化することで、フォトパターンの解像力を向上することが可能となり、微細パターン形成のためのフォトリソマージンを拡大することができる。

【0044】また、アモルファスカーボン薄膜は表面反射率が低いため、これによってもフォトリソマージンを拡大することができる。

(2) 請求の範囲第2項記載の発明によれば、アモルファスカーボン薄膜と下層絶縁膜(CVD酸化膜)のエッティングを同一装置で連続して行っており、移載にかかる処理時間の短縮を図ることができる。

【0045】(3) 請求の範囲第3項記載の発明によれば、アモルファスカーボン薄膜と下層絶縁膜(CVD酸化膜)のエッティングを同一チャンバー、同一条件で行うため、コンタクトパターンのようなエッティングパターンレシオが小さい場合のアモルファスカーボン薄膜のエッティング終点を検出する困難な作業(エッティング面積が小さいとエッティング終点時の信号変化量が小さくなり終点検出が困難となり、より高精度な検出装置が必要となる)を回避することができる。加工精度の向上を図ることができる。

【0046】また、同一チャンバー、同一条件で処理することにより、処理条件の変更の時間(通常、処理条件を変更する場合は最初の処理後バックグランド圧力迄真空引きし、その後、次の処理のためのガス条件にするまでに時間がかかる)が省略可能となり、処理時より一層の時間短縮を図ることができる。

(4) 請求の範囲第4項記載の発明によれば、アモルファスカーボン薄膜をレジストマスクに対し、マスクの外側に順テープ状にエッティングし、そのアモルファスカーボン薄膜マスク端から異方的に下層絶縁膜(CVD酸化膜)をエッティングするため、形成されるコンタクトホールパターンをレジストマスク寸法より小さくすることができます。より微細なコンタクトホールパターンを形成することができる。

【0047】これにより、フォトリソ工程での合わせ余裕の拡大ができ、ゲートパターンとのショート等の不良が低減され、歩留まりの向上を図ることができる。

(5) 請求の範囲第5項記載の発明によれば、下層絶縁膜(CVD酸化膜)のエッティングの際にアモルファスカーボン薄膜のみをマスクとでき、従来より大幅にアスペクト比が低減し、エッティング処理のプロセスマージンを大幅に拡大することができる。

【0048】また、上記(1)の記載の場合と同様に、この場合もフォトレジスト膜厚を低減してフォトバーニングをすることが可能であり、そのため、フォトリソ

マージンを拡大することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す微細コンタクトホールの形成工程断面図(その1)である。

【図2】本発明の第1実施例を示す微細コンタクトホールの形成工程断面図(その2)である。

【図3】従来の半導体集積回路装置におけるコンタクトホールの形成工程断面図である。

【図4】本発明の第4実施例を示す微細コンタクトホールの形成後の概略断面図である。

【図5】本発明の第5実施例を示す微細コンタクトホールの形成工程断面図(その1)である。

【図6】本発明の第5実施例を示す微細コンタクトホー

ルの形成工程断面図(その2)である。

【符号の説明】

20, 40 基板

21, 41 フィールド領域(フィールド酸化膜)

22, 32, 42 ゲート

23, 31, 43 CVD酸化膜

24, 33, 44 アモルファスカーボン薄膜

25, 34, 45 フォトレジスト薄膜

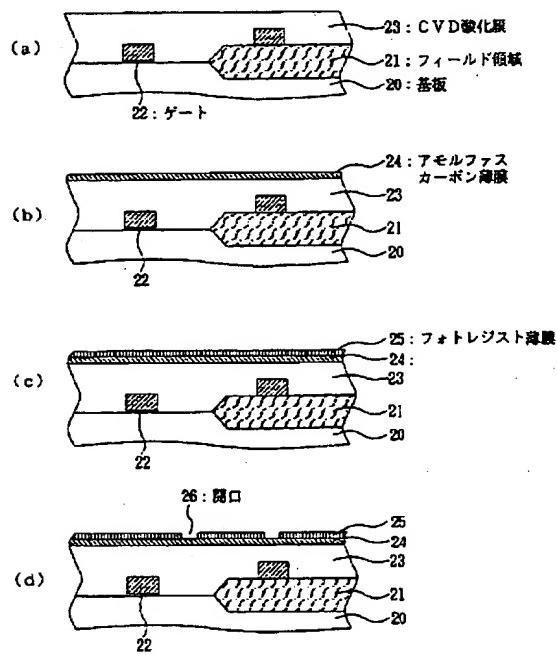
26, 27, 28, 46, 47, 48 開口

29, 49 微細コンタクトホール

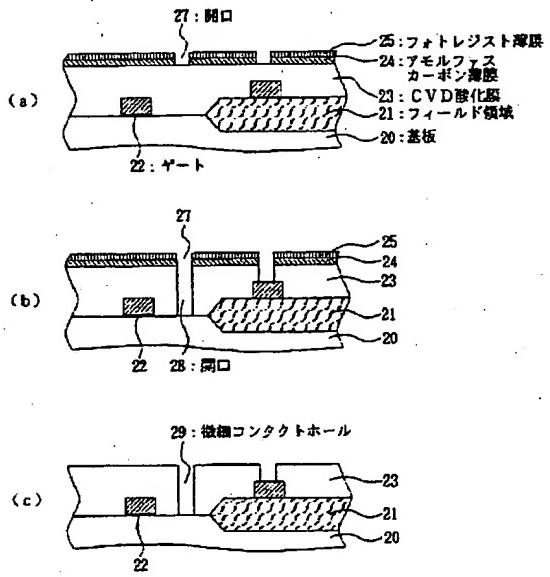
30 下地Si基板のアクティブ領域

33A 順テーパ状

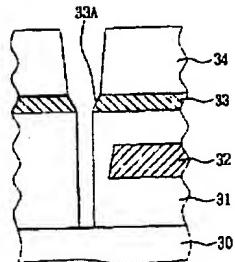
【図1】



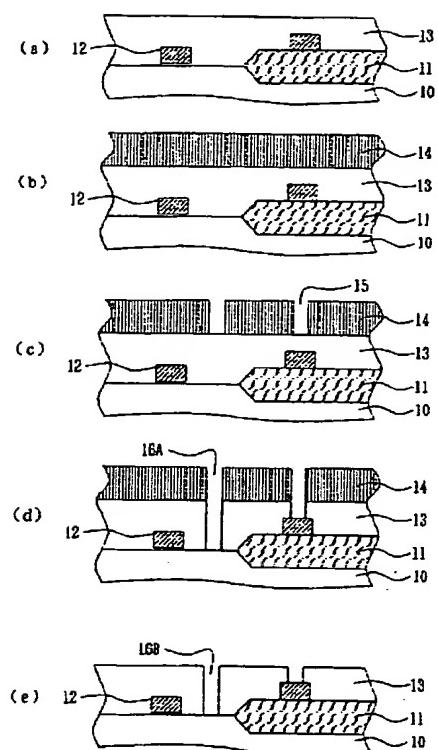
【図2】



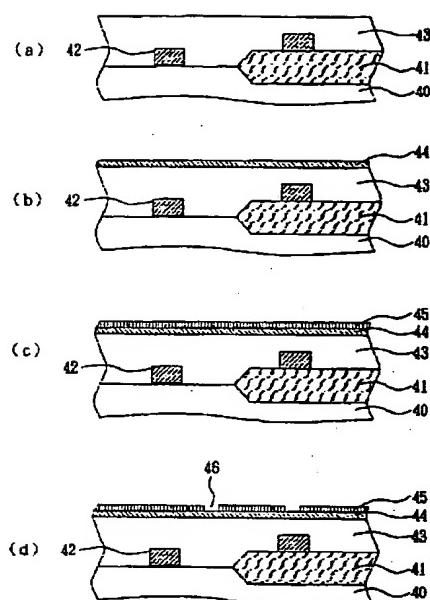
【図4】



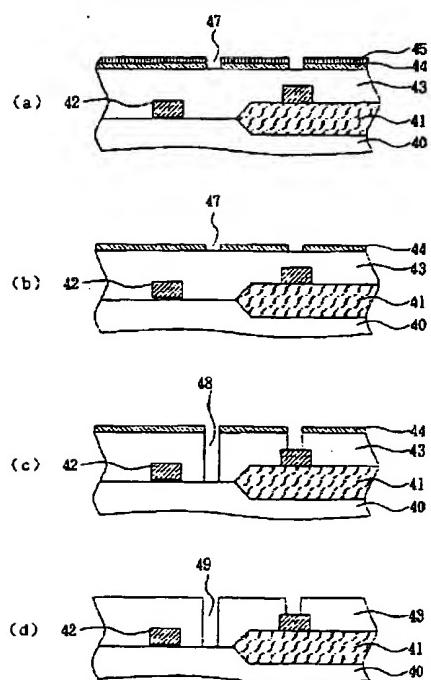
【図3】



【図5】



【図6】



フロントページの続き

(51) Int.Cl.⁶ 識別記号 併内整理番号 F 1
H 01 L 27/06 標記表示箇所

THIS PAGE BLANK (USPTO)